

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年10月6日 (06.10.2005)

PCT

(10) 国際公開番号  
WO 2005/093442 A1(51) 国際特許分類<sup>7</sup>:

G01R 31/26

(21) 国際出願番号:

PCT/JP2005/000509

(22) 国際出願日:

2005年1月18日 (18.01.2005)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2004-092982 2004年3月26日 (26.03.2004) JP

(71) 出願人(米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 横平 尚宏 (MAKIHIRA, Naohiro) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 今須 誠士 (IMASU, Satoshi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 佐藤 齊尚 (SATO, Masanao) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP).

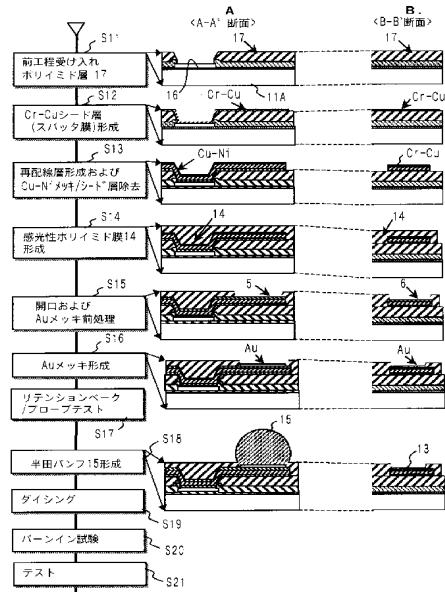
(74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒1020083 東京都千代田区麹町5丁目7番地 秀和紀尾井町TBRビル813号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

/ 続葉有 /

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置の製造方法



A. <A-A' CROSS SECTION>  
 B. <B-B' CROSS SECTION>  
 S11. POLYIMIDE LAYER 17 ACCEPTED FROM PREPROCESS  
 S12. FORM Cr-Cu SEED LAYER (SPUTTER FILM)  
 S13. FORM REACTING LAYER AND REMOVE Cu-Ni PLATING/SEED LAYER  
 S14. FORM PHOTOSENSITIVE POLYIMIDE FILM 14  
 S15. MAKE OPENING AND PERFORM PREPROCESS FOR Au PLATING  
 S16. FORM Au PLATING  
 S17. RETENTION BAKE/PROBE TEST  
 S18. FORM SOLDER BUMP 15  
 S19. Dicing  
 S20. BURN-IN TEST  
 S21. TEST  
 S22. APPEARANCE INSPECTION

(57) Abstract: A burn-in step (S19) of burning in a semiconductor integrated circuit device comprises a first sub-step of positioning a bump electrode of a semiconductor integrated circuit at a pad of a socket having a separating mechanism, a second sub-step of pressing the bump electrode against the pad by exerting a load on the semiconductor integrated circuit device, and a third sub-step of separating the bump electrode from the pad by exerting a force in the opposite direction to that of the load in the second sub-step on the semiconductor integrated circuit device by means of the separating mechanism. Automatic insertion/removal of a semiconductor integrated circuit chip in a burn-in test is facilitated by separating the bump electrode from the pad by pushing up the semiconductor integrated circuit device.

(57) 要約: 半導体集積回路装置のバーンイン工程 (S19) において、引き剥がし機構を備えたソケットのパッドに半導体集積回路装置のバンプ電極を位置決めする第1工程と、半導体集積回路装置に加重を印加することによって上記バンプ電極を上記パッドに押し付ける第2工程と、上記第2工程での加重印加方向とは逆方向の力を上記引き剥がし機構によって上記半導体集積回路装置に与えて上記バンプ電極を上記パッドから引き剥がす第3工程とを設け、半導体集積回路装置を押し上げて上記バンプ電極を上記パッドから剥がすことにより、バーンイン試験における半導体集積回路チップの自動挿抜の容易化を達成する。

WO 2005/093442 A1



ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### 半導体集積回路装置の製造方法

#### 技術分野

[0001] 本発明は、半導体装置を製造する技術に係り、例えば外部接続端子をバンプ電極で構成した半導体装置のバーンイン(通電加速)試験装置への着脱に適用して有効な技術に関するものである。

#### 背景技術

[0002] 半導体集積回路装置(半導体装置)のバーンイン試験において、半導体集積回路装置上のバンプ電極と接触してテストを実行するバーンイン試験用ソケット(単に「ソケット」ともいう)側の電極の改良については、特許文献1に開示されている。

[0003] 特許文献1:特開2000-235062号公報(図1他)

#### 発明の開示

##### 発明が解決しようとする課題

[0004] 半導体集積回路の製造工程では、不良製品を取り除いたり、製品の寿命を測定したりするために、ウェハから分割(ダイシング)したチップをパッケージに封止した後、出荷に先立ってバーンイン試験を行っている。このバーンイン試験は、ソケットに装着された基板(ソケット基板)の電極(パッド)にパッケージの外部接続端子を接続し、外部電源からパッケージ内のチップに電流、電圧を供給しながら、半導体集積回路チップを100°C以上の高温雰囲気中で数時間程度連続動作させる試験である。

[0005] 上記バーンイン試験に用いるソケット基板(テープ基板)は、パッケージの外部接続端子と良好な導通を確保するために、外部接続端子の形状やピン数に応じてパッケージの品種毎に設計、製作される。

[0006] 近年、半導体パッケージは、QFP(Quad Flat Package)やSOJ(Small Outline J-leaded package)のように、パッケージの側面から外部接続端子としてのリードを引き出す従来タイプのものから、BGA(Ball Grid Array) やCSP(Chip Size Package)のように、パッケージの実装面あるいはチップの素子形成面に取り付けたバンプ電極を外部接続端子とする表面実装タイプのものが主流になりつつある。

[0007] 外部接続端子をボール状のバンプ電極で構成した上記BGAやCSPをバーンイン試験に搭載する場合は、ソケット基板の電極(パッド)とバンプ電極とが点接触となるために両者のコンタクト抵抗が大きくなったり、バンプ電極の直径のばらつきによって、一部のバンプ電極とパッドとが非導通になったりする。そこで、パッドとバンプ電極との接触を良好に確保するために、例えばパッケージ(またはチップ)に取り付けたバンプ電極をソケット基板のパッド上に位置決めした後、パッケージ(またはチップ)を加圧してバンプ電極を潰すといった対策が採られている。

[0008] しかし、バンプ電極を過度に潰してパッドとの接触面積を大きくすると、試験終了後にバンプ電極がパッドから剥離し難くなり、パッケージ(チップ)をソケットから取り外すときにバンプ電極がパッケージ(チップ)から離脱してパッド側に残ってしまう虞れがある。

[0009] パッケージのバンプ電極を過剰に潰さなくともソケット基板のパッドとの良好な導通を確保するには、ソケット基板のパッド上に複数個の微小突起を設けることが望ましい。

[0010] ところが、上記のような微小突起を設けたパッド上にバンプ電極を接続して高温のバーンイン試験を行うと、試験終了後にバンプ電極をパッドから剥離する際に、バンプ電極の表面の薄い自然酸化膜が突起の表面に残留する。そのため、バーンイン試験を繰り返すにつれて、突起の表面に残留した自然酸化膜の膜厚が次第に厚くなり、バンプ電極と突起との接触抵抗が増加したり、ばらついたりするようになる結果、安定した試験を行うことが困難になる。

[0011] また、バーンイン試験は、100°C以上の高温雰囲気中で数時間にわたって行われるため、試験中の熱によってバンプ電極がある程度軟化する。特に、Sn/Pb半田のような低融点金属で構成されたバンプ電極は、軟化し易い。そのため、バンプ電極の下端が突起と突起の間のパッド表面に接触していると、試験終了後にバンプ電極をパッドの表面から剥離する際に、バンプ電極材料の一部がパッドの表面に付着したまま残る。そして、バーンイン試験を何回か繰り返すと、パッドの表面に付着したバンプ電極材料の膜厚が次第に厚くなり、突起の表面とパッドの表面との段差が消失するため、突起を設けた効果が得られなくなってしまう。

[0012] そこで本願出願人は先に、外部接続端子をバンプ電極で構成した半導体集積回路チップのバーンイン試験において、ソケット基板のパッド(電極)とバンプ電極との接触抵抗を安定に確保する技術を開発している(特許文献1参照)。かかる技術によれば、ソケット基板の主面には、配線と一体に形成された複数個のパッドが形成され、前記複数個のパッドのそれぞれの表面には、バーンイン試験時に前記パッドに接続される前記バンプ電極が前記パッドの表面と接触しないように、その高さおよび互いの距離が規定された複数個の突起が設けられ、パッケージや半導体集積回路チップに取り付けたバンプ電極とソケット基板のパッドとの接触抵抗を安定に確保することができる。

[0013] 本願発明者の検討によれば、コンタクト突起のエッジがバンプ電極に食い込むことによってバンプ電極の表面の被覆が破られ、良好なコンタクト性能を得ることができるものの、コンタクト突起のエッジがバンプ電極に食い込んだり、コンタクト最表面メッキのAuとバンプ電極の半田が化学的に親和することによって上記コンタクト突起とバンプ電極とが接合しやすいために、バーンイン試験後に、自動挿抜機における真空パッドの吸引によって半導体集積回路チップをソケットから剥がそうとしても、多ピン化された半導体集積回路チップでは真空パッドの吸引力不足により、ソケットから剥がすことが困難になることが見いだされた。この傾向は、半導体集積回路装置の多ピン化に伴い、ますます顕著になることから、バーンイン試験における半導体集積回路チップの自動挿抜が困難になる。

[0014] 本願に開示された一つの発明の目的は、高い信頼度を有する半導体集積回路装置を製造することができる技術を提供することにある。

[0015] 本願に開示された一つの発明の目的は高密度のバンプ電極を有する半導体集積回路装置に適合したバーンイン試験技術を提供することにある。

[0016] 本願に開示された一つの発明の目的はバンプの幅に比較してバンプの高さが低いバンプ電極を有する半導体集積回路装置に適合したバーンイン試験技術を提供することにある。

[0017] 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

## 課題を解決するための手段

[0018] 《1》本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

[0019] 本願に開示された半導体集積回路装置の製造方法は、

- (a) 半導体基板に回路を形成する工程と、
- (b) 回路が形成された半導体基板からチップ状の半導体集積回路装置を分離する工程と、
- (c) 分離した半導体集積回路装置のバーンイン試験を行なう工程と、
- (d) バーンイン試験を経た半導体集積回路装置から良品を選別する工程と、を含む。前記半導体集積回路装置は外部接続電極としてバンプ電極を有し、前記工程(c)は、バーンイン試験用ソケットに前記半導体集積回路装置を装着する第1処理と、装着された半導体集積回路装置を押し付けてバーンイン試験用ソケットのパッド電極に半導体集積回路装置のバンプ電極を押し付けた状態で前記バーンイン試験用ソケットとの間で半導体集積回路装置を動作させる第2処理と、半導体集積回路装置の動作終了後に半導体集積回路装置に対する押し付け圧力を解除すると共に前記バンプ電極をパッド電極から離脱させる方向に半導体集積回路装置を押し上げる第3処理とを含む。第3処理により、バーンイン試験用ソケットのパッド電極から半導体集積回路装置が引き剥がされるように分離可能にされる。

[0020] 上記の手段によれば、バーンイン試験用ソケットのパッド電極に半導体集積回路装置のバンプ電極を押し付けて半導体集積回路装置のバーンイン試験を行い、試験後に半導体集積回路装置に対する押し付け圧力を解除すると共に前記バンプ電極をパッド電極から離脱させる方向に半導体集積回路装置を押し上げるから、半導体集積回路装置のバンプ電極の狭ピッチ並びに多端子化の傾向によってパッド電極に対するバンプ電極の食い込み力が大きくなつても、押し上げ力の設定次第で、その食い込み力に抗する力を作用することが可能になる。バキューム吸着で引き剥がす場合、引き剥がし力を大きくするにはバキューム圧力を増大させることが必要であるが、その要求だけで半導体集積回路装置の製造ライン全体で用いるバキューム圧力を変更することが難しい場合も有り、この点においても、上記手段は、バーンイ

ン試験用ソケットから半導体集積回路装置を引き剥がす処理の容易化に資することができる。

- [0021] 本願に開示された一つの発明においては、前記バンプ電極は例えば半田ボール電極に代表されるソルダーボール電極とされる。ソルダーボール電極はバーンイン試験の熱によって変形し易く、引き剥がし処理には比較的おおきな力を要する。
- [0022] 本願に開示された一つの発明においては、前記パッド電極は平面パッド上に複数に分割された突起を有し、前記第2処理において前記複数の突起は、押し付けられるバンプ電極を前記平面パッドと非接触に支持する。バーンイン試験時にパッド電極とバンプ電極の電気的接触を安定に保つことが可能になる。
- [0023] 本願に開示された一つの発明においては、前記第3処理において半導体集積回路装置の押し上げは弾性体の復元力によって行ない、前記第2処理において前記パッド電極に対するバンプ電極の押圧は前記弾性体を変形させて行なう。前記弾性体にはバネ部材を用いることができる。
- [0024] 本願に開示された一つの発明は、ウェハレベルCSP技術による半導体集積回路装置の製造方法において、前記工程(a)は、半導体基板に複数の回路素子を形成し表面にボンディングパッドを露出させたチップ基体を形成する工程と、前記チップ基体の上にボンディングパッドに接続する再配線と、ボンディングパッドに非接続の金属層を形成し、その表面を、前記再配線の一部分と金属層の一部分を除いて耐熱性熱硬化性樹脂膜で被覆する工程と、前記耐熱性熱硬化性樹脂膜から露出された前記前記再配線の一部分にバンプ電極を形成する工程と、を含む。
- [0025] このとき、前記第3処理における前記半導体集積回路装置の押し上げは、前記耐熱性熱硬化性樹脂膜から露出された前記金属層に前記押し上げ力を作用して行なうのがよい。耐熱性熱硬化性樹脂膜の損傷を抑制するためである。
- [0026] 上記手段は、前記複数のバンプ電極の配列ピッチが0.5mm未満のような狭ピッチの半導体集積回路装置の製造に好適である。
- [0027] 本願に開示された一つの発明は、ウェハレベルCSP技術による半導体集積回路装置において、半導体基板に複数の回路素子を形成し表面にボンディングパッドを露出させたチップ基体と、前記チップ基体の上に設けられて前記ボンディングパッドに

接続する再配線と、前記チップ基体の上に設けられて前記ボンディングパッドに非接続の金属層と、前記再配線の一部分と金属層の一部分を除いて表面を覆う耐熱性熱硬化性樹脂膜と、前記耐熱性熱硬化性樹脂膜から露出された前記前記再配線の一部分に設けられたバンプ電極とを有し、前記金属層はチップ基体の周縁部分に複数形成される。バーンイン試験終了後にバーンイン試験用ソケットのパッド電極から半導体集積回路装置を引き剥がすときは、前記耐熱性熱硬化性樹脂膜から露出された前記金属層に前記押し上げ力を作用すればよい。この意味において、前記金属層は少なくとも3個有するのがよい。安定的に押し上げ力を作用することができる。更に、引き剥がされた半導体集積回路装置の姿勢が不安定になり難い。

[0028] 本願に開示された一つの電子回路装置の製造方法製造方法は、

(a)パッケージ基板に回路デバイスを搭載する工程と、  
(b)回路デバイスが搭載された電子回路の試験を行なう工程と、  
(c)試験を経た電子回路から良品を選別する工程と、を含み、前記工程(c)は、パッケージ基板に回路デバイスを搭載した電子回路をマウント用ソケットに装着する第1処理と、装着された電子回路を押圧して前記マウント用ソケットのパッド電極にパッケージ基板の外部接続電極を押圧しながら前記マウント用ソケットとの間で電子回路を動作させる第2処理と、電子回路の動作終了後に電子回路に対する押し付け圧力を解除すると共に前記外部接続電極をパッド電極から離脱させる方向に電子回路を押し上げる第3処理とを含む。これによれば、電子回路の引き剥がしも容易且つ確実に行なうことが可能になる。

[0029] 《2》また、本願において開示されたその他の発明の概要を項に分けて、簡単に記載するとすれば以下のとくである。

[0030] [1]以下の工程を含む半導体集積回路装置の製造方法：

(a)半導体基板に回路を形成する工程(第1工程)；  
(b)回路が形成された半導体基板からチップ状の前記半導体集積回路装置を分離する工程(第2工程)；  
(c)分離した前記半導体集積回路装置のバーンイン試験を行なう工程(第3工程)；  
(d)バーンイン試験を経た前記半導体集積回路装置から良品を選別する工程(第4

工程)、

ここで前記半導体集積回路装置は外部接続電極としてバンプ電極を有し、

前記工程(c)は、以下の下位工程を含む：

- (i) バーンイン試験用ソケットに前記半導体集積回路装置を装着する工程(第1処理)；
- (ii) 装着された前記半導体集積回路装置を押圧してバーンイン試験用ソケットのパッド電極に前記半導体集積回路装置のバンプ電極を押圧しながら前記バーンイン試験用ソケットとの間で前記半導体集積回路装置を動作させる工程(第2処理)；
- (iii) 前記半導体集積回路装置の動作終了後に前記半導体集積回路装置に対する押し付け圧力を解除すると共に前記バンプ電極をパッド電極から離脱させる方向に前記半導体集積回路装置を押し上げる(第3処理)。

[0031] [2]前記バンプ電極はソルダーボール電極である前記項1記載の半導体集積回路装置の製造方法。

[0032] [3]前記パッド電極は平面パッド上に複数に分割された突起を有し、前記第2処理において前記複数の突起は、押し付けられるバンプ電極を前記平面パッドと非接触に支持する、前記項1または2に記載の半導体集積回路装置の製造方法。

[0033] [4]前記第3処理において半導体集積回路装置の押し上げは弾性体の復元力によって行ない、

前記第2処理において前記パッド電極に対するバンプ電極の押し付け加圧は前記弾性体を変形させて行なう、前記項1から3のいずれか一つに記載の半導体集積回路装置の製造方法。

[0034] [5]前記弾性体はバネ部材である、前記項4記載の半導体集積回路装置の製造方法。

[0035] [6]前記項1から5のいずれか一つに記載の半導体集積回路装置の製造方法において、前記第1工程は、以下の下位工程を含む：

- (x) 半導体基板に複数の回路素子を形成し表面にボンディングパッドを露出させたチップ基体を形成する工程；
- (y) 前記チップ基体の上にボンディングパッドに接続する再配線と、ボンディングパ

ッドに非接続の金属層を形成し、その表面を、前記再配線の一部分と金属層の一部分を除いて耐熱性熱硬化性樹脂膜で被覆する工程；

(z) 前記耐熱性熱硬化性樹脂膜から露出された前記前記再配線の一部分にバンプ電極を形成する工程。

[0036] [7]前記第3処理における前記半導体集積回路装置の押し上げは、前記耐熱性熱硬化性樹脂膜から露出された前記金属層に前記押し上げ力を作用して行なう、前記項6記載の半導体集積回路装置の製造方法。

[0037] [8]前記複数のバンプ電極の配列ピッチは0.5mm未満とされる、前記項1から7のいずれか一つに記載の半導体集積回路装置の製造方法。

[0038] [9]以下を含む半導体集積回路装置：

(a) 半導体基板に複数の回路素子を形成し表面にボンディングパッドを露出させたチップ基体；

(b) 前記チップ基体の上に設けられて前記ボンディングパッドに接続する再配線；

(c) 前記チップ基体の上に設けられて前記ボンディングパッドに非接続の金属層；

(d) 前記再配線の一部分と金属層の一部分を除いて表面を覆う耐熱性熱硬化性樹脂膜；

(e) 前記耐熱性熱硬化性樹脂膜から露出された前記前記再配線の一部分に設けられたバンプ電極、

ここで前記金属層はチップ基体の周縁部分に複数形成されている。

[0039] [10]前記金属層を少なくとも3個有する前記項9記載の半導体集積回路装置。

[0040] [11]以下の工程を含む電子回路装置の製造方法：

(a) パッケージ基板に回路デバイスを搭載する工程(第1工程)；

(b) 回路デバイスが搭載された電子回路装置の試験を行なう工程(第2工程)；

(c) 試験を経た電子回路装置から良品を選別する工程(第3工程)、

ここで前記工程(c)(第3工程)は、以下の下位工程を含む：

(i) パッケージ基板に回路デバイスを搭載した電子回路装置をマウント用ソケットに装着する工程(第1処理)；

(ii) 装着された電子回路装置を押圧して前記マウント用ソケットのパッド電極にパッ

ケージ基板の外部接続電極を押圧しながら前記マウント用ソケットとの間で電子回路装置を動作させる工程(第2処理)；

(iii)電子回路装置の動作終了後に電子回路装置に対する押し付け圧力を解除すると共に前記外部接続電極をパッド電極から離脱させる方向に電子回路装置を押し上げる工程(第3処理)。

[0041] 《3》また、本願において開示された更にその他の発明の概要を項に分けて、簡単に記載するすれば以下のとくである。

[0042] [1]以下の工程を含む半導体集積回路装置の製造方法：

(a)ウェハの第1の主面上に通常配線(たとえば、アルミ多層配線、銅ダマシンまたはデュアルダマシン多層配線)を形成する工程；

(b)前記通常配線上に複数の第1のメタル膜領域および第2のメタル膜領域を含む再配線(たとえば、銅系の再配置配線または再分配配線等)を形成する工程(この工程は必ずしも必須のものではない。すなわち、バンプ電極を有するものであれば、再配線を有しないものにも適用できる)；

(c)前記再配線上に高分子樹脂膜を形成する工程(一般的なリソグラフィーによるもののか、封止レジンその他の樹脂を使用した塗布、印刷、モールドその他によるものでもよい)；

(d)前記高分子樹脂膜の前記第1のメタル膜領域および第2のメタル膜領域に対応する部分にリソグラフィーの手法により開口を形成することにより、複数の第1のメタルパッド領域(バンプ用下地金属層状の2次ファイナルパッシベーションの円形開口)および第2のメタルパッド領域(先と同じ下地金属膜状の2次ファイナルパッシベーションの主に長方形または正方形開口、その他の形状であってもよい。寸法はたとえば縦250ミクロン、横500ミクロン)を形成する工程(前記第2のメタル膜領域は必ずしも必須のものではない。基本的に高分子樹脂膜の上面にダメージを与えなければよいので、以下の電極面からのバンプの分離工程で前記高分子樹脂膜の上面に触れずに、または触れてもダメージを与えずに加圧できればよい。従って、前記高分子樹脂膜よりも柔らかい表面を有する比較的大面積の接触面を有する加圧部材で直接前記高分子樹脂膜の上面を押すようにしてもよい。ここで「上面」とは重力と逆方向を指

すのではなく、チップのデバイス形成面すなわちバンプ形成面、ウェハの第1の主面側の面等を示すものとする)；

(e) 前記第1のメタルパッド領域の各々に半田バンプを形成する工程；

(f) 前記工程(e)の後、前記ウェハを複数の半導体集積回路チップに分割する工程；

(g) 分割された前記複数の半導体集積回路チップの内の第1の半導体集積回路チップの前記ウェハの第1の主面に対応するバンプ形成面をバーンイン試験用ソケットの電極面に対向させ、前記バンプ形成面の複数の前記バンプと前記電極面に設けられた複数のメタル突起電極が相互に押し付けられた状態で、バーンイン試験を実行する工程；

(h) 前記工程(g)の後、前記バンプ形成面の複数の前記第2のメタルパッド領域の内の少なくとも一つのパッド領域に、その領域よりも狭い接触面(たとえば長方形で縦150ミクロン、横400ミクロン)を有する少なくとも一つの加圧部材を接触させて、前記第1の半導体集積回路チップと前記電極面が離れる方向に加圧することにより、前記メタル突起電極と前記第1の半導体集積回路チップの前記半田バンプを分離させる工程。

[0043] [2]前記項1に記載の半導体集積回路装置の製造方法において、前記高分子樹脂膜は熱硬化性樹脂を主要な成分として含む。

[0044] [3]前記項1または2に記載の半導体集積回路装置の製造方法において、前記高分子樹脂膜は耐熱性熱硬化性樹脂を主要な成分として含む(たとえば、ポリイミド系樹脂、BCB(BenzoCycloButene)系樹脂など)。

[0045] [4]前記項1から3のいずれか一つに記載の半導体集積回路装置の製造方法において、前記高分子樹脂膜はポリイミド系樹脂を主要な成分として含む。

[0046] [5]前記項1から4のいずれか一つに記載の半導体集積回路装置の製造方法において、前記高分子樹脂膜は有機系熱硬化性樹脂を主要な成分として含む。

[0047] [6]前記項1から5のいずれか一つに記載の半導体集積回路装置の製造方法において、前記半田バンプのピッチは500ミクロン未満である(半田はたとえば鉛フリー半田)。

[0048] [7]前記項1から6のいずれか一つに記載の半導体集積回路装置の製造方法において、前記半田バンプはリソグラフィーの手法または印刷技術により形成される。

[0049] [8]前記項1から7のいずれか一つに記載の半導体集積回路装置の製造方法において、前記半田バンプのバンプ完成時のチップ内平均ベースでのバンプ高さ(H)とバンプ径(D)との比(H/D)の百分率は60%未満である(たとえばバンプ径180ミクロン、バンプ高さ100ミクロン。第2のメタルパッド領域の径は半田リフロー時の半田表面張力によって、このような形状になるような寸法に形成する)。

[0050] [9]前記項1から8のいずれか一つに記載の半導体集積回路装置の製造方法において、前記第1の半導体集積回路チップ内の前記少なくとも一つのパッド領域の数は2個以上である。

[0051] [10]前記項1から8のいずれか一つに記載の半導体集積回路装置の製造方法において、前記第1の半導体集積回路チップ内の前記少なくとも一つのパッド領域の数は3個以上である(分離工程においてチップを傾かせない利点がある。その結果、複数の第2のメタルパッド領域への加圧が均等になる。また、複数の半田バンプへの力のかかり方が比較的均一になる)。

[0052] [11]前記項1から10のいずれか一つに記載の半導体集積回路装置の製造方法において、前記第1の半導体集積回路チップ内の前記少なくとも一つのパッド領域は、前記第1の半導体集積回路チップの前記バンプ形成面のチップ周辺部に設けられている(周辺部にあれば、加圧部材等がバンプに触れる可能性が少なくなる)。

[0053] [12]前記項1から11のいずれか一つに記載の半導体集積回路装置の製造方法において、前記第1の半導体集積回路チップ内の前記少なくとも一つのパッド領域は、前記第1の半導体集積回路チップの前記バンプ形成面のチップコーナー部に設けられている。

[0054] [13]前記項1から12のいずれか一つに記載の半導体集積回路装置の製造方法において、前記第1の半導体集積回路チップ内の前記少なくとも一つのパッド領域は、電気的にフローティングの状態にされている。

[0055] [14]前記項1から13のいずれか一つに記載の半導体集積回路装置の製造方法において、单一の前記第2のメタルパッド領域の面積は、单一の前記第1のメタルパ

ッド領域の面積より大きい。

- [0056] [15]前記項1から14のいずれか一つに記載の半導体集積回路装置の製造方法において、单一の前記第2のメタルパッド領域の面積は、单一の前記第1のメタルパッド領域の面積の2倍以上である。
- [0057] [16]前記項1から14のいずれか一つに記載の半導体集積回路装置の製造方法において、单一の前記第2のメタルパッド領域の面積は、单一の前記第1のメタルパッド領域の面積の3倍以上である。
- [0058] [17]前記項1から16のいずれか一つに記載の半導体集積回路装置の製造方法において、单一の前記加圧部材の前記接触面の面積は、单一の前記第1のメタルパッド領域の面積の2倍以上である。
- [0059] [18]前記項1から17のいずれか一つに記載の半導体集積回路装置の製造方法において、前記加圧部材は、前記高分子樹脂膜の上面には接触しない。
- [0060] [19]前記項1から18のいずれか一つに記載の半導体集積回路装置の製造方法において、前記メタル突起電極はニッケルを主要な成分とする心材上に金を主要な成分とするメッキが施されている(ニッケルは突起の剛性を確保し、金は接触抵抗を低く抑える効果がある)。
- [0061] [20]前記項19に記載の半導体集積回路装置の製造方法において、前記メタル突起電極は前記金を主要な成分とするメッキ層上に更にロジウムメッキが施されている(ロジウムメッキは必須ではないが、突起電極と半田バンプの物理的または化学的な親和性を弱める効果がある)。
- [0062] [21]前記項1から20のいずれか一つに記載の半導体集積回路装置の製造方法において、前記加圧部材はその主要部がメタルで構成されている(メタルで構成することにより、十分な機械的強度が確保できるメリットがある)。
- [0063] [22]前記項1から20のいずれか一つに記載の半導体集積回路装置の製造方法において、前記加圧部材はその主要部が高分子樹脂(すなわち絶縁体)で構成されている。
- [0064] [23]前記項22に記載の半導体集積回路装置の製造方法において、前記高分子樹脂はポリエーテルスルホン(Poly-Ether-Sulfon)系樹脂を主要な成分として含

む(特に加圧部材の先端部を絶縁体で構成すると、メタルパッド領域がフローティングでない場合でも、特に問題が起こらない等のメリットがある)。

## 発明の効果

[0065] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

[0066] すなわち、高密度のバンプ電極を有する半導体集積回路装置に対するバーンインを可能とすることにより、信頼度の高い半導体集積回路装置を提供することができる。

## 図面の簡単な説明

[0067] [図1]本願発明の一実施例の半導体集積回路装置の製造方法における主要工程の説明図である。

[図2]半導体集積回路装置の製造方法において使用されるソケットの分解斜視図である。

[図3A]図2に示されるソケットが組み立てられた状態でのC—C'線切断断面図である。

[図3B]図3Aにおける引き剥がし機構の主要部平面図である。

[図3C]図3BにおけるD—D'切断断面図である。

[図4]ソケットに含まれるパッドの斜視図である。

[図5]パッドにおける突起部と半導体集積回路チップの半田バンプとの関係説明図である。

[図6]パッドにおける突起部と半導体集積回路チップの半田バンプとの別の関係説明図である。

[図7A]ソケットのカバーが閉じられる場合の説明図である。

[図7B]ソケットのカバーが閉じられる場合の説明図である。

[図7C]ソケットのカバーが閉じられる場合の説明図である。

[図8]ソケットのカバーが開かれる場合の説明図である。

[図9]半導体集積回路チップにおける接触ターゲットの説明図である。

[図10]半導体集積回路装置の一例であるウェハレベルCSPの説明図である。

[図11]図10における主要部の切断断面図である。

### 符号の説明

[0068] 10 ウェハ  
12 再配線層  
13 接触ターゲット  
15 半田バンプ  
16 ボンディングパッド  
20 ソケット  
22 カバー  
24 アライメントプレート  
40 パッド  
41 スリット  
61 引き剥がし機構  
62 アライメントプレート先押し機構  
63 突起部  
90 半導体集積回路チップ  
222, 622 バネ  
341 突出部  
621 先押し部

### 発明を実施するための最良の形態

[0069] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

[0070] 本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

[0071] 半導体ウェハとは、集積回路の製造に用いるシリコン単結晶基板(一般にほぼ平面円形状)、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。また、本願において半導体集積回路装置というと

きは、シリコンウェハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、TFT(Thin-Film-Transistor)およびSTN(Super-Twisted-Nematic)液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

[0072] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

[0073] また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

[0074] さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

[0075] 同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0076] 図10には、本発明にかかる半導体集積回路装置の一例であるウェハレベルCSPと呼ばれる技術によって形成されたウェハが示される。図10において10はウェハであり、ダイシング工程を経ることにより上記ウェハ10から多数の半導体集積回路チップ(半導体集積回路装置)が得られる。11は上記ウェハ10の主要部を拡大したものである。また、図11には、図10におけるA-A'切断断面が示される。図11において11Aは単結晶シリコンのような半導体基板にMOSトランジスタなどの所要の複数の回路素子やそれを結合するための配線層が形成され、表面にボンディングパッドを露出させたチップ基体である。チップ基体11Aの上には、一端がボンディングパッド16に結合されたCr(クローム)、Cu(銅)及びNi(ニッケル)等から構成された再配線層12が

形成される。ここで、上記チップ基体11Aの配線層には、特に制限されないが、アルミ多層配線、銅ダマシン又はデュアルダマシン多層配線などが含まれる。この配線は通常配線とされ、上記再配線層12の配線と区別される。

[0077] 再配線層12の他端にはAu(金)メッキが施され、その上に半田バンプ(ソルダーボール電極、バンプ電極)15が形成される。再配線層12はボンディングパッドの配列ピッチよりも広いピッチでバンプ電極15を配列可能にする。前記バンプ電極15はチップ領域毎に所定の配列ピッチで複数配列されている。この半田バンプ15を介して個々の半導体集積回路チップは外部との間で各種信号のやり取りが可能とされる。複数の半田バンプ15の配列ピッチは0.5mm未満とされ、そのように超微細ピッチの半田バンプを備えた半導体集積回路チップをバーンインするためには、バーンイン試験装置のソケットに半導体集積回路装置を装着して試験を行なう。

[0078] 更に、前記ボンディングパッド16とは非接続の金属層として接触ターゲット13が形成される。この接触ゲート13は、図9に示されるように半導体集積回路チップ90の四隅に形成され、後に詳述するように、バーンイン試験において使用されるソケットの引き剥がし機構におけるアーム部に接触される。図9の紙面の表面には例えば0.37mmピッチで256個のバンプ電極15が配列されている。ちなみに、この半導体集積回路チップ900のサイズは、縦が6.005mm、横が8.725mmとされる。

[0079] 尚、図9においてチップ900の中央部には、上記接触ターゲット13と同様に形成された開口部91が設けられる。この開口部91は半田バンプ形成の目印とされ、この開口部91を基準に複数の半田バンプ15が所定ピッチで配列される。

[0080] ウエハ10の表面は前記半田バンプ15及び接触ターゲット13の形成領域を除いて高分子樹脂膜例えば耐熱性熱硬化性樹脂の一例とされるポリイミドによる保護膜14が形成される。17はポリイミドによる絶縁層、18はパッシベーション層である。保護膜14はその下の再配線層12更にはチップ基体11Aの回路素子を保護する機能を有するから、バーンイン試験などにおいても保護素子14の損傷は極力回避されなければならない。

[0081] 図1には、上記半導体集積回路装置の製造方法における主要工程が示される。尚、図1には、図10におけるA-A'線切断断面と、B-B'線切断断面とが、上記半導体

集積回路装置の製造方法における主要工程との関係で示される。

[0082] ここでは、前工程において半導体基板にボンディングパッド16が形成されたものとする。このボンディングパッド16形成領域を除いてポリイミドによる絶縁層17が形成される(S11)。そして、上記ポリイミドによる絶縁層17の上にCr—Cuシード層(スパッタ膜)が形成される。そして、このCr—Cuシード層の上に再配線層が形成され、さらに、Cu—Niメッキが行われる(S13)。尚、接触ターゲット13の形成領域では、接触ターゲット13の形成に不要となるシード層が除去される。次に、上記Cu—Niメッキ部分を覆うようにポリイミドによる保護膜14が形成される。そして、リソグラフィーの手法により、半田バンプ15の形成領域に開口部5が形成され、接触ターゲット13の形成領域に開口部6が形成され、また、その開口部5, 6に対してAuメッキの前処理が施される(S15)。次に、上記開口部5, 6に対してAuメッキが行われる(S16)。上記開口部5にAuメッキが行われることで第1のメタルパッド領域が形成される。上記開口部6にAuメッキが行われることで第2のメタルパッド領域(接触ターゲット)13が形成される。そして、フラッシュメモリなどの製造工程では、リテンション不良と呼ばれる書き込みデータの消失を検出するためのテスト(リテンションベーク)やプローブテストが行われる(S17)。上記ステップS17のテストで異常がなければ、第1のメタルパッド領域(開口部5)に半田バンプ15が形成される(S18)。半田バンプ15の径は180ミクロン、バンプ高さは100ミクロンで、その比の百分率は60%未満とされる。次に、ダイシングにより半導体集積回路チップの切り出しが行われ(S19)、バーンイン試験が行われる(S20)。バーンイン試験後に、半導体集積回路チップが正常に動作するか否かがテストされ(S21)、その後、外観検査を経て製品化される(S22)。上記テスト(S21)及び外観検査(S22)は、良品を選別するための選別工程と総称される。

[0083] 次に、上記ステップS20のバーンイン試験について詳述する。

[0084] 図2には、上記バーンイン試験の際に、半導体集積回路チップを装着するためのソケットが示される。

[0085] 開口部を有するフレーム30にヒンジ機構23を介してカバー22が開閉可能に支持される。このカバー22の中央部には、半導体集積回路チップ90を押さえつけるためのプッシャ21が設けられている。上記フレーム30の開口部にはアライメントプレート2

4が嵌合される。アライメントプレート24には、半導体集積回路チップ90の位置決めのために、半導体集積回路チップ90のサイズに対応する開口部が設けられている。そして、上記アライメントプレート24の下側にはテープ回路25が設けられ、エラストマ26を介してテープ回路25を支持可能なベース27が設けられる。上記テープ回路25には、上記半導体集積回路チップ90における半田バンプ15に接触可能なパッド電極及びパッド電極に接続する配線が設けられている。エラストマ26はシリコンゴムによって形成され、ベース27に取り付けられている。テープ回路25とベース27との間にエラストマ26が介在されることにより、半田バンプ15と上記パッド電極との接触の安定化が図られる。上記フレーム30、上記テープ回路25及び上記ベース27には、ボルト28が挿入可能なボルト穴が設けられ、上記フレーム30や上記テープ回路25は、6本のボルト28及びそれに対応する6個のナット29によってベース27に固定される。前記ベース27はバーンイン試験機に取り付けられ、バーンイン試験用のテスト端子がベース27、テープ回路25を介してバンプ電極に接続される。

[0086] 図3Aには、図2に示されるソケット20組み立てられた状態でのC—C'線切断断面が示される。また、図3Bには、図3Aにおける引き剥がし機構61の主要部(ベース27側から見たもの)が示され、図3Cには図3BにおけるD—D'切断断面が示される。

[0087] カバー22の内側には凹部が形成され、そこにバネ222を介してプッシャ押さえ部221が取り付けられている。カバー22が閉じられることによりバネ222が押圧され、その復元力により矢印611方向の力がプッシャ押さえ部221に与えられるようになっている。プッシャ押さえ部221には突起部が設けられ、この突起部223を介してプッシャ221が押し付けられることによりプッシャ221は揺動可能とされる。これによりカバー22が閉じられた際には、プッシャ221のチップ押圧面211が半導体集積回路チップ90に正対されることで、半導体集積回路チップ90の上面全域に均一な押し付け圧力(加重)を印加することができる。

[0088] アライメントプレート24の開口部には、図3B及び図3Cに示されるように、半導体集積回路チップ90を支持可能なアーム部242が設けられる。上記アーム部242の先端が前記チップの方向に突出されることにより突出部241(加圧部材)が形成され、この突出部241のみに、上記半導体集積回路チップ90における接触ターゲット13が接

触するようになっている。突出部241の上記接触ターゲット13との接触面は特に制限されないが矩形状に形成され、その寸法は縦150ミクロン、横400ミクロンとされる。ここで、接触ターゲット13の面積は、半田バンプ15が形成される開口部5の面積の2倍以上とすることができます。このとき、突出部241の上記接触ターゲット13との接触面の面積も、接触ターゲット13の面積に対応して上記開口部5の面積の2倍以上とすると良い。接触ターゲット13と上記突出部241との接触面積が大きければ大きいほど、突出部241によって接触ターゲット13が受ける単位面積当たりのダメージは少なくなる。

[0089] 半導体集積回路チップ90にはポリイミドによる保護膜14が形成されているが、上記のように突出部241は接触ターゲット13にのみ接触され、上記保護膜14には接触されないため、上記保護膜14の損傷が防止される。

[0090] また、上記突出部241の先端部などの主要部を例えばポリエーテルスルホン(Poly-Ether-Sulfon)系樹脂などの高分子樹脂(絶縁体)によって形成することができ、その場合には、上記接触ターゲット13がフローティング状態でない場合でも対応可能となる。

[0091] 上記アライメントプレート24にはアライメントプレート先押し機構62が設けられている。このアライメントプレート先押し機構62は、アライメントプレート24に設けられたテーパー状の先細りの勾配を持つ貫通孔に配置された先押し部621と、この先押し部621を支持するバネ62とを含んで成る。先押し部621の周面は上記アライメントプレート24に設けられたテーパー状の先細りの勾配と同等の勾配を有する。そして、この先押し部621上記貫通孔に嵌合された際にその先端部が若干突出して上記プッシュヤ21に当接するようになっている。これによりカバー22が閉じられた際には、アライメントプレート24よりも早く先押し部621がプッシュヤ21によって押されることでバネ62が押圧され、先押し部621が若干押し下げられる。この先押し部621が若干押し下げられてからプッシュヤ21のチップ押圧面211が半導体集積回路チップ90の上面に接触することで、半導体集積回路チップ90に矢印611方向に加重が印加される。これにより半導体集積回路チップ90の半田バンプ15が突起部63(メタル突起電極)に接触される。この突起部63は、上記テープ回路25(図2参照)に形成されたパッドに設けら

れたものである。上記パッドは、後に詳述するように、上記半導体集積回路チップ90における複数の半田バンプ15に対応して複数個形成され、上記半田バンプ15が上記パッドの突起部63に接触されることで、上記半導体集積回路チップ90と外部回路(テスター)との間で各種信号のやり取りが可能とされる。一方、カバー22が開かれると、バネ622の復元力によりアライメントプレート24が矢印612方向に押し上げられ、半導体集積回路チップ90の半田バンプ15が上記テープ回路25の突起部63から引き剥がされる。このような意味で、上記アライメントプレート24におけるアーム部242を引き剥がし機構61と称する。

[0092] 図4には上記テープ回路25(図2参照)に形成された複数のパッドのうちのひとつが示される。

[0093] 上記テープ回路25の正面に形成された複数のパッド40のそれぞれの表面には、十字形のスリット41が設けられることで、4個の突起部63が形成される。これら4個の突起部63は、半田バンプ15とパッド40との電気的な接触抵抗を安定に確保するために設けられたものであり、例えばCuの表面にNiとAuのメッキを施した金属材料で構成されている。Niは突起の剛性を確保し、Auは接触抵抗を低く抑える効果がある。尚、Auメッキの上に更にロジウムメッキを施すことができ、その場合には、突起部63と半田バンプ15との物理的又は化学的な親和性を弱める効果を期待できる。

[0094] 上記複数個の突起部63は、それらに接続される半田バンプの下端がパッド40の表面と接触することができないように、その高さおよび互いの距離が規定されている。すなわち、図5に示されるように、突起部63の高さをh、突起部63に接触される半田バンプ15の半径をR、パッド40の平面内において突起部63のエッジと半田バンプ15の中心Cを通る垂線との間でとり得る最大距離をLとしたとき、突起部63の高さ(h)および最大距離(L)は、下記式1

$$h > R - \sqrt{(R^2 - L^2)} \cdots \text{式1}$$

で示される関係が成立するように設定される。

[0095] 尚、実際のバーンイン試験に際しては、半田バンプ15と突起部63との接触面積を確保するために半田バンプ15をある程度押し潰したり、試験中の熱で半田バンプ15が変形したりするので、突起部63の高さ(h)に一定程度の余裕を持たせておくことが

望ましい。例えば突起部63の高さ(h)および最大距離(L)が上記の条件を満たしている場合であっても、突起部63の高さ(h)が5  $\mu$  mに満たない場合には、半田バンプ6が押し潰されたり、試験中の熱で変形したりしたときにその下端が、互いに隣接する突起部63隙間(スリット41)のパッド40表面に接触する。そのため、バーンイン試験を繰り返すと、突起部63、5の隙間のパッド4表面に付着した半田材料の膜厚が次第に厚くなり、突起部63を設けた効果が得られ難くなる。従って、突起部63の高さ(h)は、少なくとも5  $\mu$  m以上、望ましくは10  $\mu$  m以上とするのがよい。

[0096] 図7Aには、上記半導体集積回路チップ90がソケット20に装着される様子が示される。

[0097] 図7Aに示されるように、ソケット20のアライメントプレート24に半導体集積回路チップ90が載置され、その状態でカバー22が閉じられると、図7Bに示されるように、アライメントプレート24よりも早く先押し部621がプッシャ21によって押されることでバネ62が押圧されて先押し部621が矢印611方向に若干押し下げられる。そして図7Cに示されるように、上記先押し部621が若干押し下げられてからプッシャ21のチップ押圧面211が半導体集積回路チップ90の上面に接触することで、半導体集積回路チップ90に矢印611方向に加重が印加される。これにより半導体集積回路チップ90の半田バンプ15が突起部63に接触される。この状態で、外部電源から半導体集積回路チップ90に電流、電圧を供給しながら、半導体集積回路チップ90を100°C以上の高温雰囲気中で数時間程度連続動作させて、半導体集積回路チップ90の良否判定が行われる。このとき、突起5の高さおよび半田バンプ6との距離が、数1を満たすように規定されているため、図6に示されるように、パッド40における突起部63のエッジが半田バンプ15に接触し、表面の薄い自然酸化膜151を破って半田バンプ40内に食い込む。また、バーンイン試験を何度か繰り返した後の突起部63の表面には、半田バンプ15の自然酸化膜151を含んだ高抵抗の半田残渣51が付着しているが、突起部63のエッジが半田バンプ15に食い込むことで、エッジの表面の半田残渣51は半田バンプ15によって周囲に押し遣られるので、突起部63と半田バンプ15とは相互の接触面積が十分に確保される。そのため、半田バンプ6の表面の自然酸化膜151や突起部63の表面の半田残渣51の影響で突起部63と半田バンプ15との接触

抵抗が増加したり、ばらついたりすることはない。この効果は、突起部63の高さ(h)が大きいほど顕著になる。

[0098] 次に、半導体集積回路チップ90を別のチップと交換するためにカバー22が開かれると、図8に示されるように、バネ622の復元力により先押し部621の先端部でアライメントプレート24が矢印612方向に押し上げられる。このため、突起部63のエッジが半田バンプ15に食い込んだり、コンタクト最表面メッキのAuとバンプ電極の半田が物理的または化学的に親和することによって上記突起部63とバンプ電極15とが接合した場合でも、半導体集積回路チップ90の半田バンプ15がパッド40の突起部63から容易に引き剥がされる。この引き剥がし工程においては、図3B、図3C、図9に示されるように、半導体集積回路チップ90の接触ターゲット13にアライメントプレート24におけるアーム部242の先端の突出部241が接触され、半導体集積回路チップ90における保護膜14には何も接触されないため、この保護膜14の損傷が防止される。そして、半導体集積回路チップ90が別のチップに交換され、そのチップについて上記と同様のバーンイン試験が行われる。

[0099] 上記選別工程(S21～S22)を経て良品として選別された半導体集積回路チップ90はユーザに供給される。このユーザが電子装置の部品実装用基板に上記半導体集積回路チップ90を実装して電子装置を製造するに際して、半導体集積回路チップ90の接触ターゲット13を位置決め用に利用することができる。すなわち、接触ターゲット13は図9に示されるように半導体集積回路チップ90の四隅に形成されているため、この接触ターゲット13に接触可能な位置決め用マークをユーザの部品実装用基板に形成し、それと半導体集積回路チップ90の接触ターゲット13が接触するようにして、ユーザの部品実装用基板へ半導体集積回路チップ90を実装する際の位置決めを容易に行うことができる。例えば上記位置決め用マークとして、上記接触ターゲット13に嵌合可能な凸部を部品実装用基板に設けることができる。

[0100] 上記例によれば、以下の作用効果を得ることができる。

[0101] (1)引き剥がし機構61が設けられることにより、カバー22が開かれると、図8に示されるように、バネ622の復元力によりアライメントプレート24が矢印612方向に押し上げられるため、突起部63のエッジが半田バンプ15に食い込んだり、コンタクト最表面

メッキのAuとバンプ電極の半田が物理的に親和することによって上記突起部63とバンプ電極15とが接合した場合でも、バネ622の復元力によりアライメントプレート24が矢印612方向に押し上げられることにより、半導体集積回路チップ90の半田バンプ15がパッド40の突起部63から容易に引き剥がされる。

- [0102] (2) 上記(1)の作用効果により、半導体集積回路チップ90の半田バンプ15がパッド40の突起部63から容易に引き剥がされるため、バーンイン試験において、半導体集積回路チップ90の自動挿抜の容易化を図ることができる。
- [0103] (3) 半導体集積回路チップ90には接触ターゲット13が形成され、この接触ターゲット13に、アライメントプレート24におけるアーム部242の先端の突出部241が接触され、半導体集積回路チップ90における上記保護膜14には、何も接触されないため、上記保護膜14の損傷が防止される。
- [0104] 以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。
- [0105] 例えば、バネ622に代えて他の弾性部材を適用しても良いし、ソケット20内にエア一を送り込んでアライメントプレート24を押し上げるようにしてても良い。
- [0106] 上記の例では半田バンプ15の配列ピッチを0.5mm未満としたが、それに限定されない、ただし、半田バンプ15の配列ピッチが0.5mm未満の場合には、真空パッドの吸引力不足により、半田バンプ15をソケット20のパッド40から剥がすことが困難になることを勘案すると、半田バンプ15の配列ピッチが0.5mm未満の場合に本発明の効果が顕著になる。
- [0107] 上記の例では、接触ターゲット13の数を半導体集積回路チップ1個当たり4個としているが、2個以上あれば良い。尚、接触ターゲット13の数が半導体集積回路チップ1個当たり3個以上の場合には、半導体集積回路チップ90の半田バンプがパッド40の突起部63から引き剥がされる工程(分離工程)において半導体集積回路チップが傾かないで済むから、複数の接触ターゲット13への加圧が均等になり、複数の半田バンプ15への力のかかり方を比較的均一にすることができます。
- [0108] 上記の例ではバンプ電極を半田としたが、半田以外の金属でバンプ電極を形成す

ることができる。バンプ電極とは突起状電極を意味し、ランド・グリッド・アレイのようなパッケージではランドがバンプ電極に相当する。

[0109] 本願に開示された発明はウェハレベルCPSだけでなく、BGAなどの他のパッケージ形態の半導体集積回路装置の製造にも適用することができる。更に本願に開示された発明は、マルチチップモジュールに代表されるようにパッケージ基板に半導体デバイスを搭載した電子回路若しくは電子回路デバイスの製造にも適用することが可能である。例えば、マルチチップモジュールのパッケージ基板に回路デバイスとして複数の半導体集積回路チップを搭載する第1工程と、複数の半導体集積回路チップが搭載されたマルチチップモジュールの試験を行なう第2工程と、試験を経たマルチチップモジュールから良品を選別する第3工程と、を含む。このとき、前記第3工程は、パッケージ基板に半導体集積回路チップを搭載したマルチチップモジュールをテストのマウント用ソケットに装着する第1処理と、装着されたマルチチップモジュールを押圧して前記マウント用ソケットのパッド電極にパッケージ基板の外部接続電極を押圧しながら前記マウント用ソケットとの間でマルチチップモジュールを動作させる第2処理と、マルチチップモジュールの動作終了後に当該マルチチップモジュールに対する押し付け圧力を解除すると共に前記外部接続電極をパッド電極から離脱させる方向にマルチチップモジュールを押し上げる第3処理とを含む。マウント用ソケットには図2及び図3Aで説明したのと同様の引き剥がし機構を採用すればよい。これによれば、マルチチップモジュールの引き剥がしを容易且つ確実に行なうことが可能になる。電子回路デバイスはマルチチップモジュールに限定されない。

[0110] ウェハの形成に用いられる高分子樹脂膜としては、熱硬化性樹脂又は耐熱性熱硬化性樹脂を主要な成分として含むものを適用することができる。後者にはポリイミド系樹脂、BCB(BenzoCycloButene)系樹脂などが含まれる。また、ポリイミド系樹脂には耐熱性の低いものも存在するが、バーンイン試験に耐え得るものであればそれを適用することができる。

### 産業上の利用可能性

[0111] 本発明は半導体集積回路装置の製造に用いるのに適している。

## 請求の範囲

[1] 以下の工程を含む半導体集積回路装置の製造方法:

- (a) ウエハの第1の主面上に通常配線を形成する工程;
- (b) 前記通常配線上に複数の第1のメタル膜領域および第2のメタル膜領域を含む再配線を形成する工程;
- (c) 前記再配線上に高分子樹脂膜を形成する工程;
- (d) 前記高分子樹脂膜の前記第1のメタル膜領域および第2のメタル膜領域に対応する部分にリソグラフィーの手法により開口を形成することにより、複数の第1のメタルパッド領域および第2のメタルパッド領域を形成する工程;
- (e) 前記第1のメタルパッド領域の各々にバンプを形成する工程;
- (f) 前記工程(e)の後、前記ウェハを複数の半導体集積回路チップに分割する工程;
- (g) 分割された前記複数の半導体集積回路チップの内の第1の半導体集積回路チップの前記ウェハの第1の主面に対応するバンプ形成面をバーンイン試験用ソケットの電極面に対向させ、前記バンプ形成面の複数の前記バンプと前記電極面に設けられた複数のメタル突起電極が相互に押し付けられた状態で、バーンイン試験を実行する工程;
- (h) 前記工程(g)の後、前記バンプ形成面の前記複数の第2のメタルパッド領域の内の少なくとも一つのパッド領域に、その領域よりも狭い接触面を有する少なくとも一つの加圧部材を接触させて、前記第1の半導体集積回路チップと前記電極面が離れる方向に加圧することにより、前記メタル突起電極と前記第1の半導体集積回路チップの前記半田バンプを分離させる工程。

[2] 請求項1に記載の半導体集積回路装置の製造方法において、前記高分子樹脂膜は熱硬化性樹脂を主要な成分として含む。

[3] 請求項1に記載の半導体集積回路装置の製造方法において、前記高分子樹脂膜は耐熱性熱硬化性樹脂を主要な成分として含む。

[4] 請求項1に記載の半導体集積回路装置の製造方法において、前記高分子樹脂膜はポリイミド系樹脂を主要な成分として含む。

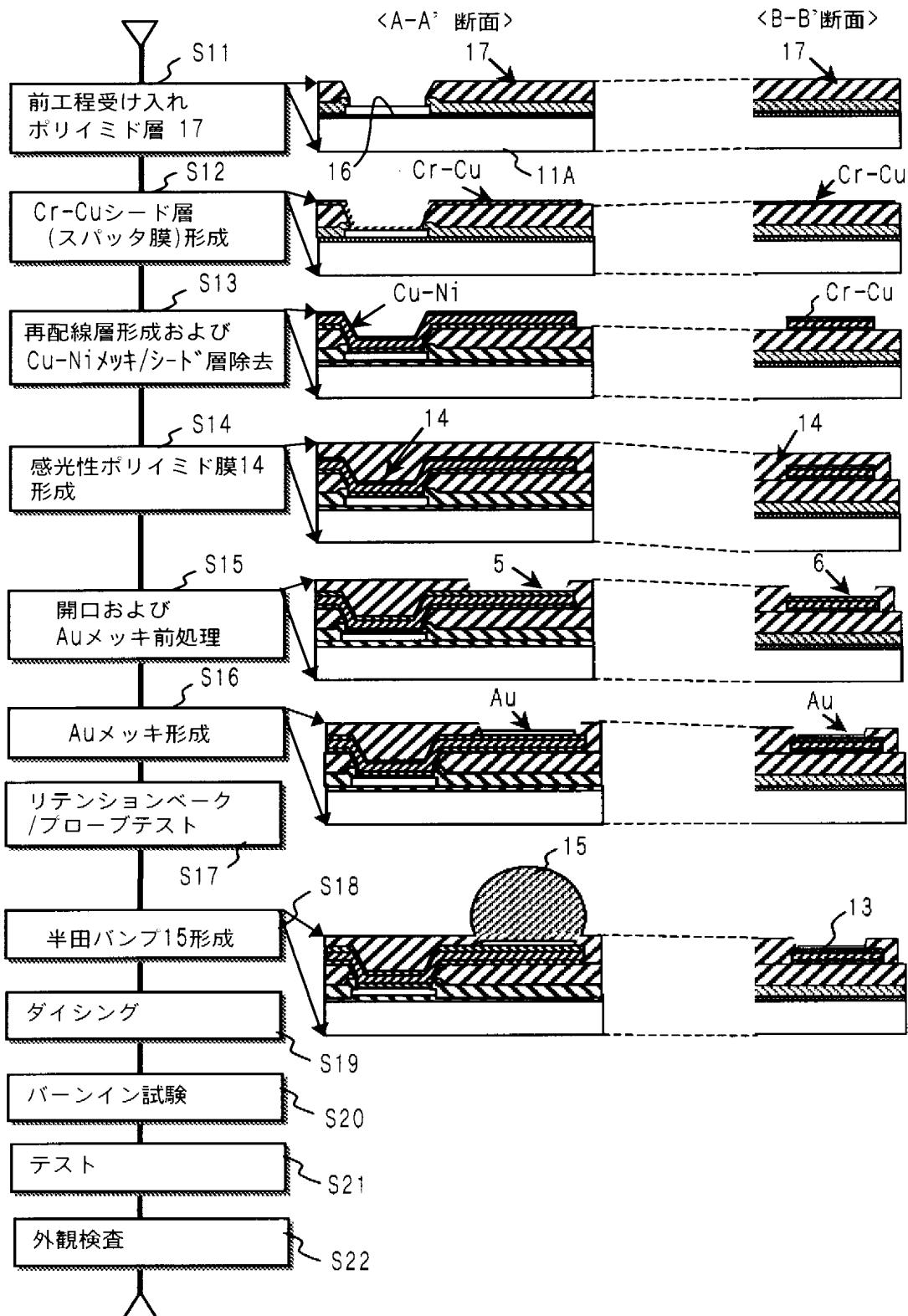
- [5] 請求項1に記載の半導体集積回路装置の製造方法において、前記高分子樹脂膜は有機系熱硬化性樹脂を主要な成分として含む。
- [6] 請求項1に記載の半導体集積回路装置の製造方法において、前記バンプのピッチは500ミクロン未満である。
- [7] 請求項1に記載の半導体集積回路装置の製造方法において、前記バンプはリソグラフィーの手法または印刷技術により形成される。
- [8] 請求項1に記載の半導体集積回路装置の製造方法において、前記バンプのバンプ完成時のチップ内平均ベースでのバンプ高さ(H)とバンプ径(D)との比(H/D)の百分率は60%未満である。
- [9] 請求項1に記載の半導体集積回路装置の製造方法において、前記第1の半導体集積回路チップ内の前記少なくとも一つのパッド領域の数は2個以上である。
- [10] 請求項1に記載の半導体集積回路装置の製造方法において、前記第1の半導体集積回路チップにおける前記複数の第2のメタルパッド領域の内の少なくとも一つのパッド領域の数は3個以上である。
- [11] 請求項1に記載の半導体集積回路装置の製造方法において、前記第1の半導体集積回路チップにおける前記複数の第2のメタルパッド領域の内の少なくとも一つのパッド領域は、前記第1の半導体集積回路チップの前記バンプ形成面のチップ周辺部に設けられている。
- [12] 請求項1に記載の半導体集積回路装置の製造方法において、前記第1の半導体集積回路チップにおける前記複数の第2のメタルパッド領域の内の少なくとも一つのパッド領域は、前記第1の半導体集積回路チップの前記バンプ形成面のチップコーナー部に設けられている。
- [13] 請求項1に記載の半導体集積回路装置の製造方法において、前記第1の半導体集積回路チップにおける前記複数の第2のメタルパッド領域の内の少なくとも一つのパッド領域は、電気的にフローティングの状態にされている。
- [14] 請求項1に記載の半導体集積回路装置の製造方法において、单一の前記第2のメタルパッド領域の面積は、单一の前記第1のメタルパッド領域の面積より大きい。
- [15] 請求項1に記載の半導体集積回路装置の製造方法において、单一の前記第2のメ

タルパッド領域の面積は、单一の前記第1のメタルパッド領域の面積の2倍以上である。

- [16] 請求項1に記載の半導体集積回路装置の製造方法において、单一の前記第2のメタルパッド領域の面積は、单一の前記第1のメタルパッド領域の面積の3倍以上である。
- [17] 請求項1に記載の半導体集積回路装置の製造方法において、单一の前記加圧部材の前記接触面の面積は、单一の前記第1のメタルパッド領域の面積の2倍以上である。
- [18] 請求項1に記載の半導体集積回路装置の製造方法において、前記加圧部材は、前記高分子樹脂膜の上面には接触しない。
- [19] 請求項1に記載の半導体集積回路装置の製造方法において、前記メタル突起電極はニッケルを主要な成分とする心材上に金を主要な成分とするメッキが施されている。
- [20] 請求項19に記載の半導体集積回路装置の製造方法において、前記メタル突起電極は前記金を主要な成分とするメッキ層上に更にロジウムメッキが施されている。

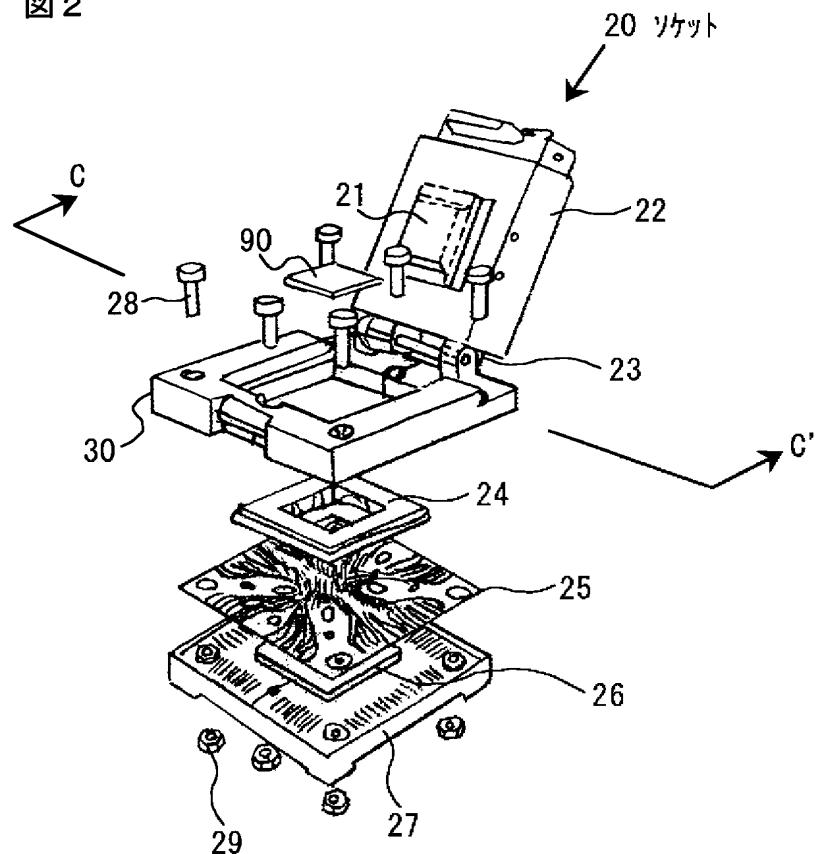
[図1]

図1



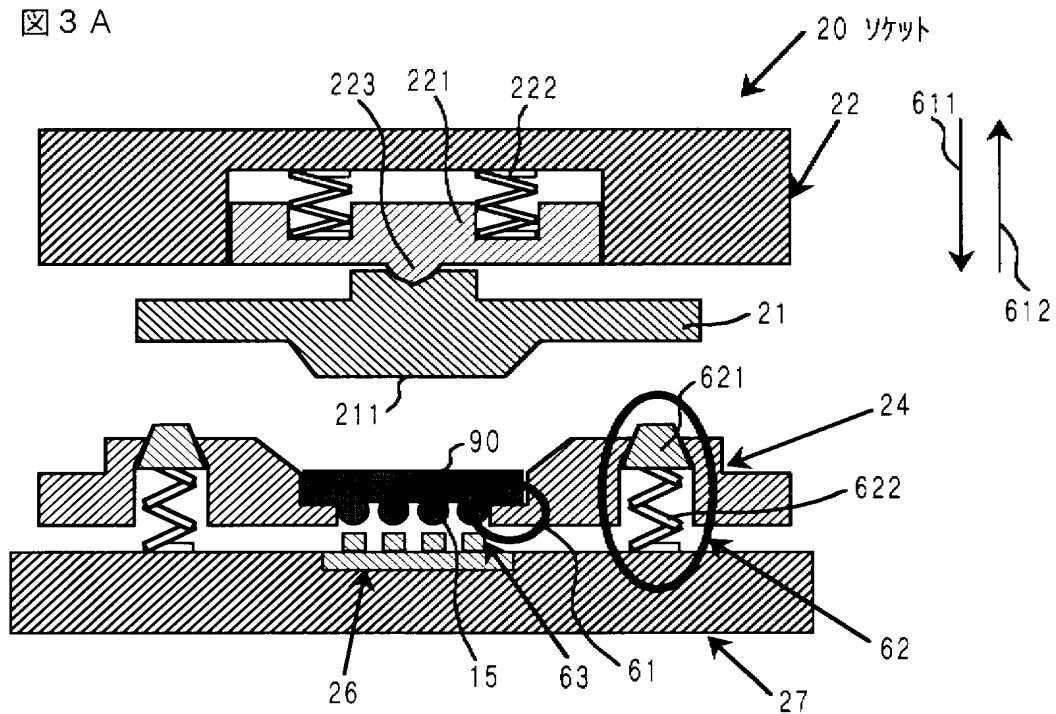
[図2]

図2

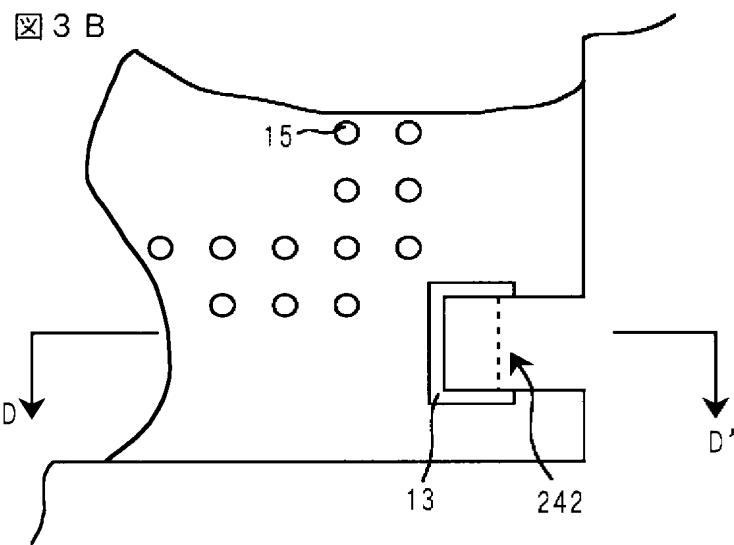


[図3A]

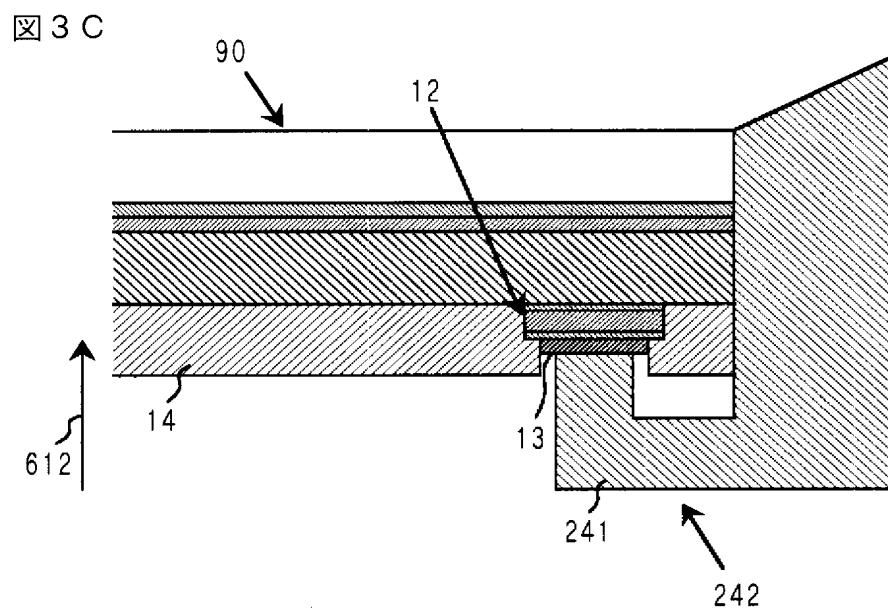
図3 A



[図3B]

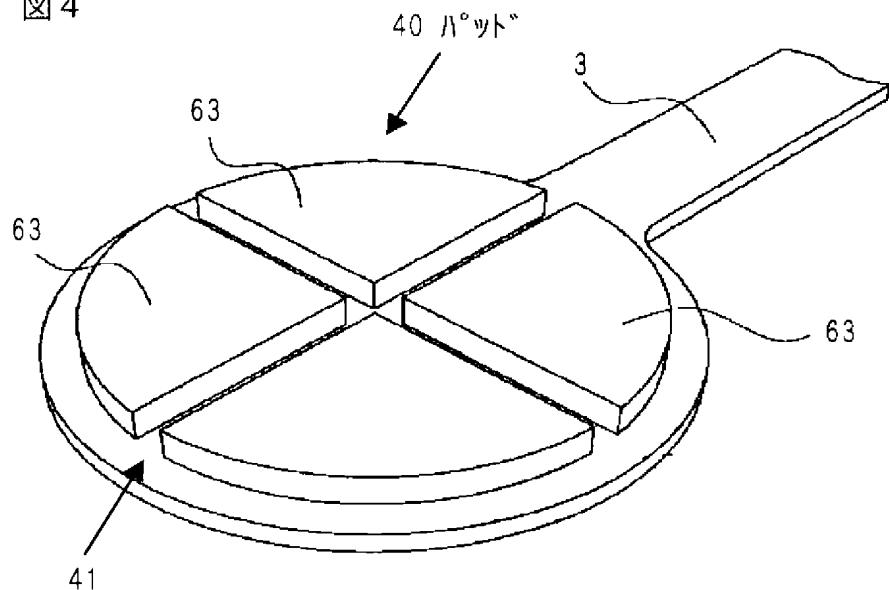


[図3C]



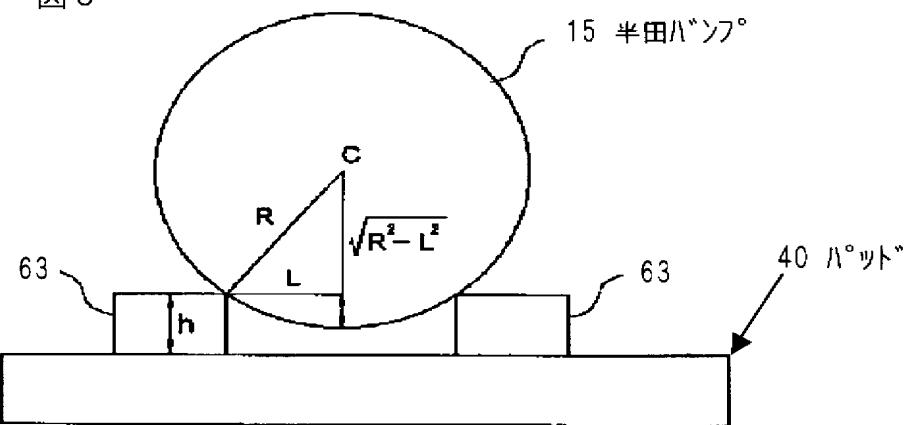
[図4]

図4



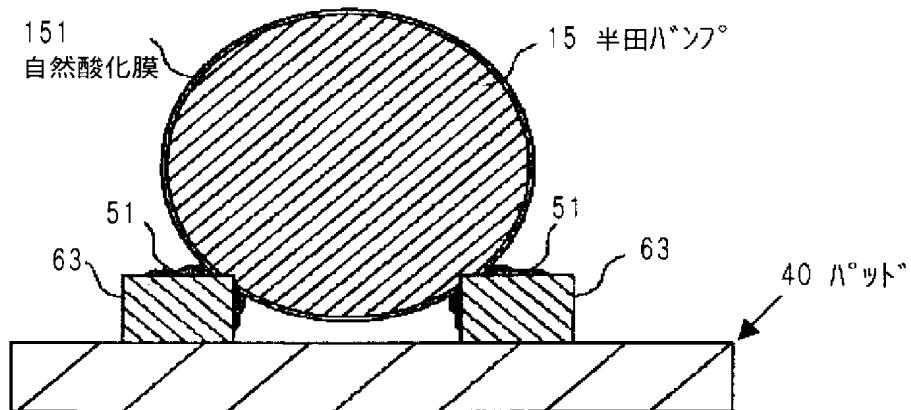
[図5]

図5



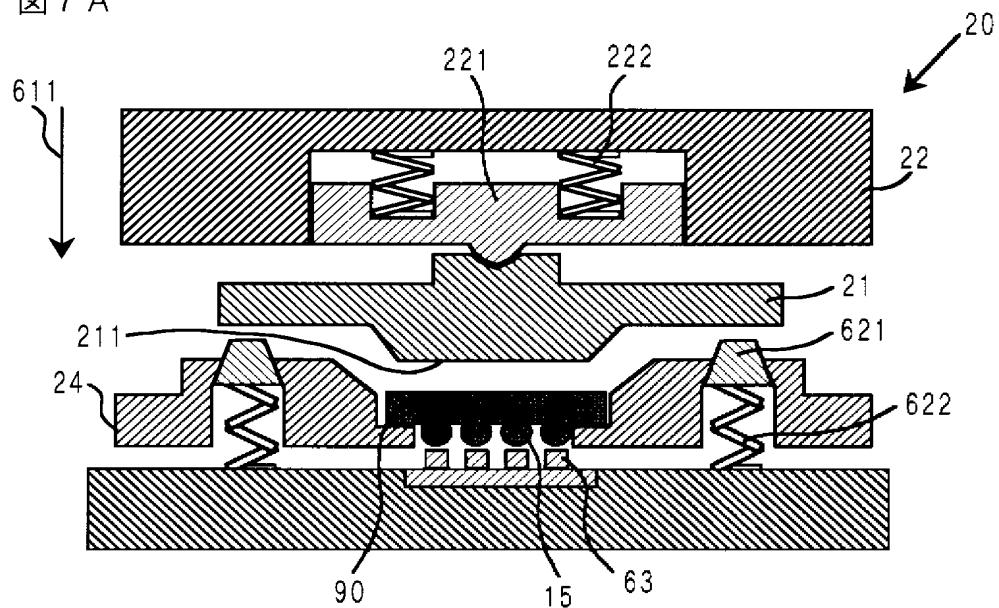
[図6]

図6



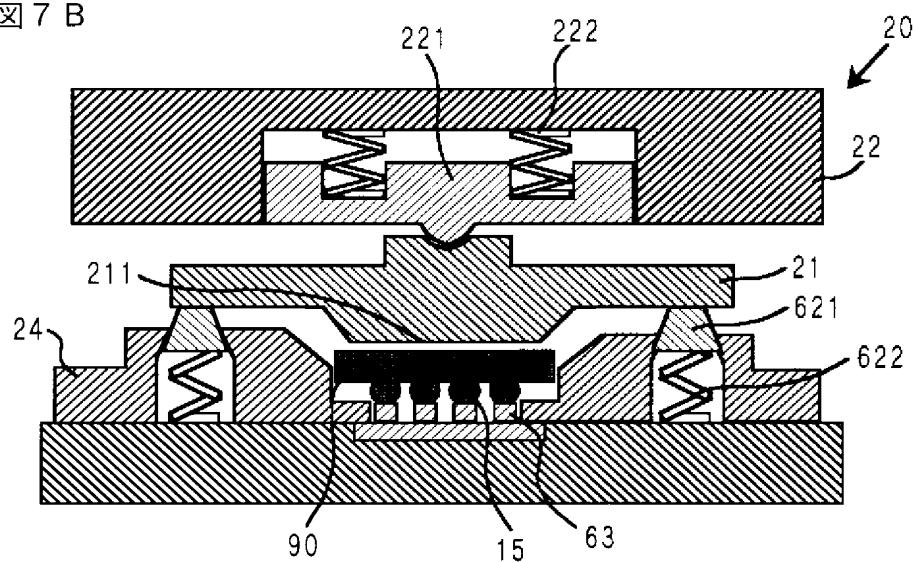
[図7A]

図 7 A

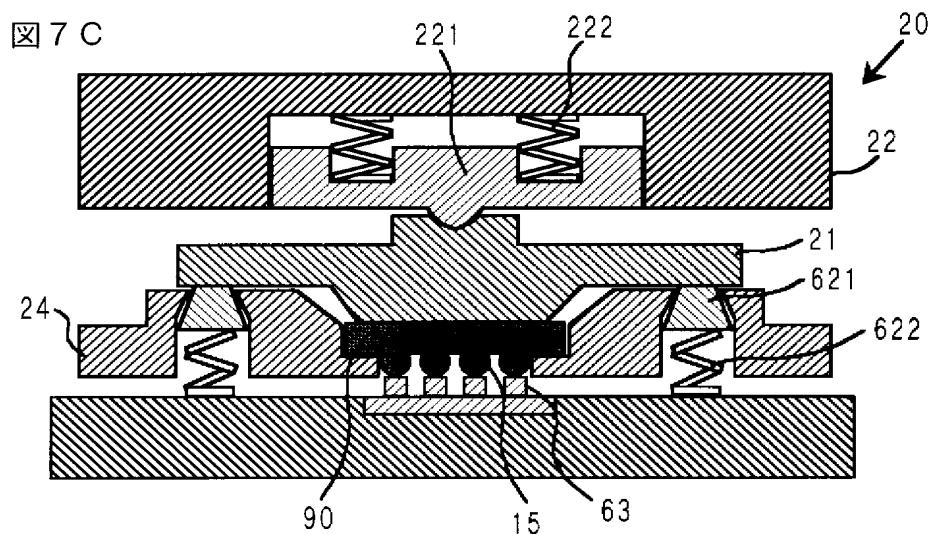


[図7B]

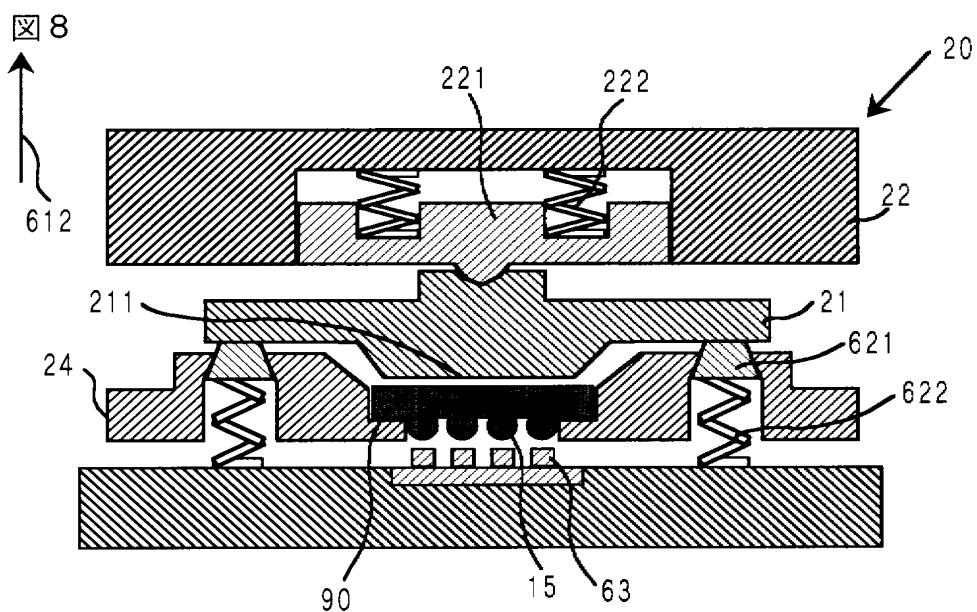
図 7 B



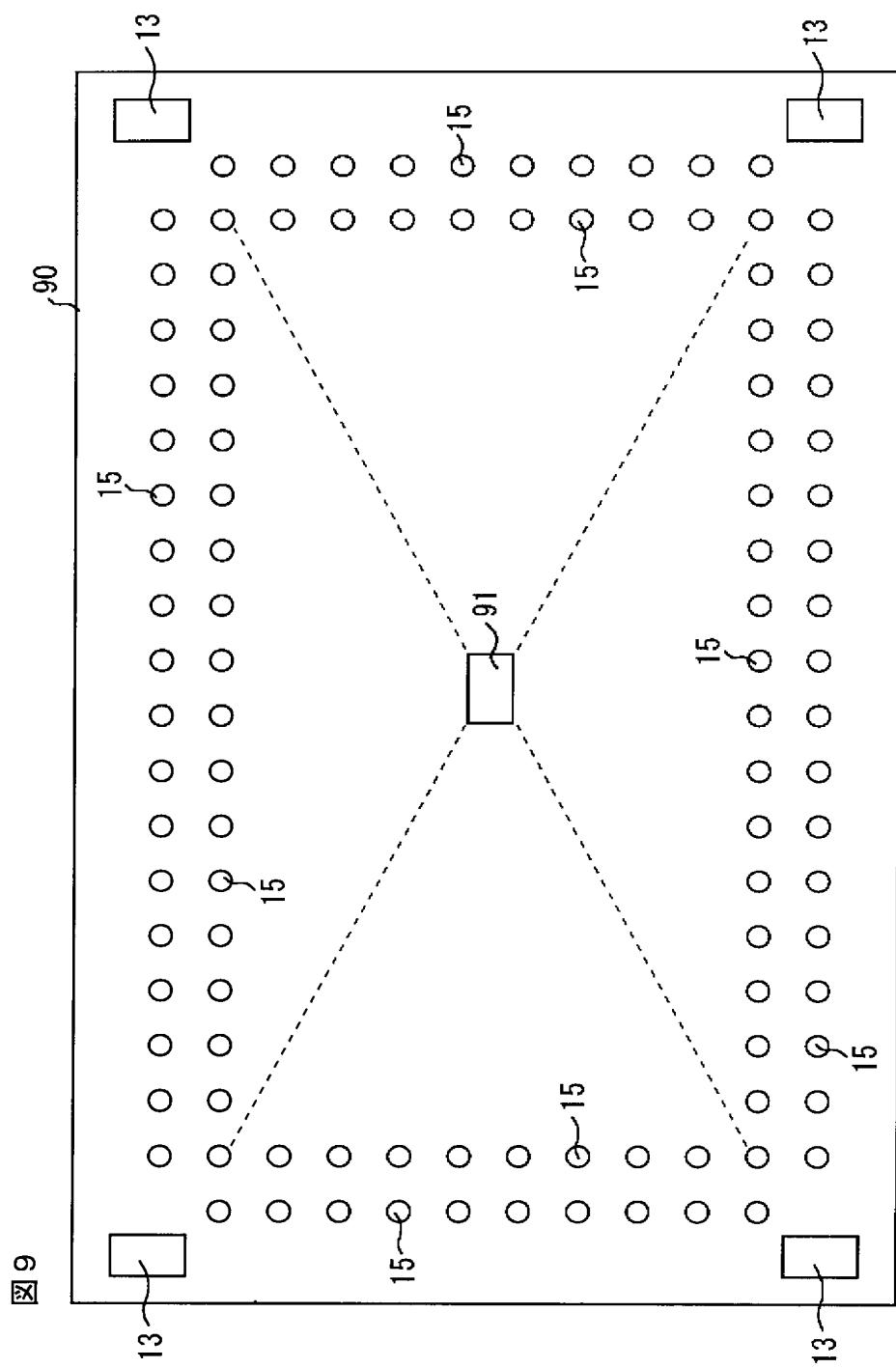
[図7C]



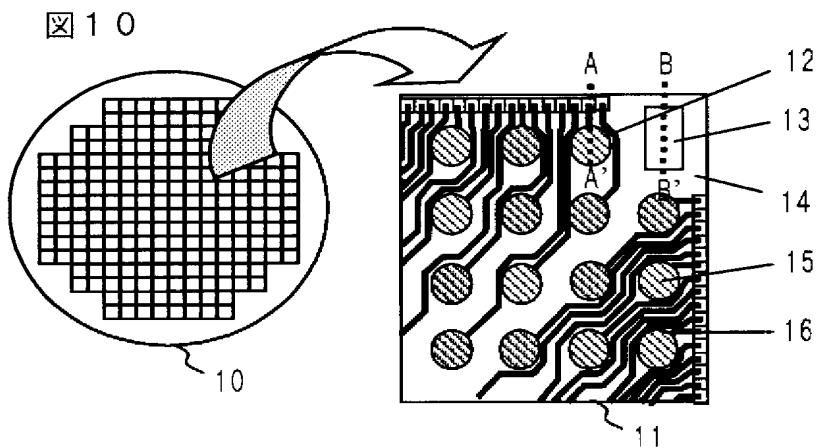
[図8]



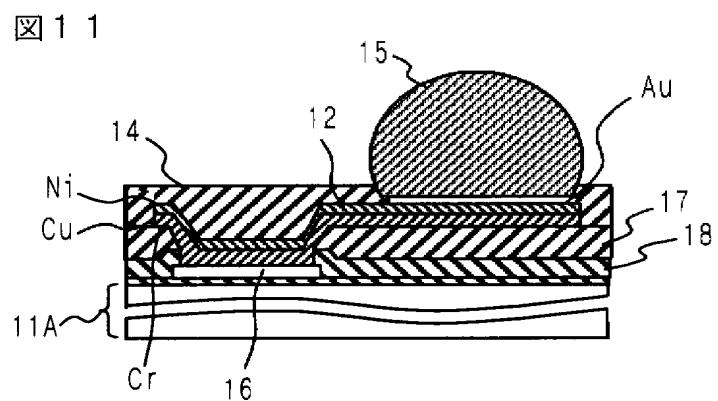
[図9]



[図10]



[図11]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/000509

**A. CLASSIFICATION OF SUBJECT MATTER**  
 Int.Cl<sup>7</sup> G01R31/26

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

 Minimum documentation searched (classification system followed by classification symbols)  
 Int.Cl<sup>7</sup> G01R31/26

 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-257900 A (Advantest Corp.), 11 September, 2002 (11.09.02), Full text; all drawings (Family: none)	1-20
A	JP 8-271580 A (Oki Electric Industry Co., Ltd.), 18 October, 1996 (18.10.96), Full text; all drawings (Family: none)	1-20
A	JP 2004-47186 A (Yamaichi Electric Co., Ltd.), 12 February, 2004 (12.02.04), Full text; all drawings & DE 10331037 A1 & CN 1471157 A & KR 2004005638 A & US 2004/009682 A1	1-20

 Further documents are listed in the continuation of Box C.

 See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

 Date of the actual completion of the international search  
 07 April, 2005 (07.04.05)

 Date of mailing of the international search report  
 26 April, 2005 (26.04.05)

 Name and mailing address of the ISA/  
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（I.P.C.））

Int.Cl.<sup>7</sup> G01R31/26

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（I.P.C.））

Int.Cl.<sup>7</sup> G01R31/26

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-257900 A (株式会社アドバンテスト) 2002.09.11, 全文, 全図 (ファミリーなし)	1-20
A	JP 8-271580 A (沖電気工業株式会社) 1996.10.18, 全文, 全図 (ファミリーなし)	1-20
A	JP 2004-47186 A (山一電機株式会社) 2004.02.12, 全文, 全図 & DE 10331037 A1 & CN 1471157 A & KR 2004005638 A & US 2004/009682 A1	1-20

〔C欄の続きにも文献が列挙されている。〕

〔パテントファミリーに関する別紙を参照。〕

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

07.04.2005

## 国際調査報告の発送日

26.4.2005

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官（権限のある職員）

武田 知晋

2S 9805

電話番号 03-3581-1101 内線 3258